



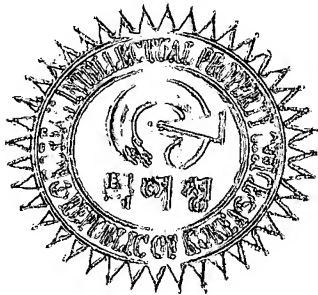
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0053220  
Application Number

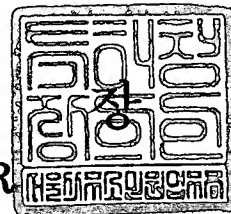
출원 년 월 일 : 2002년 09월 04일  
Date of Application SEP 04, 2002

출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      08      월      08      일

특      허      청  
COMMISSIONER





1020020053220

출력 일자: 2003/8/9

**【서지사항】**

<b>【서류명】</b>	특허출원서
<b>【권리구분】</b>	특허
<b>【수신처】</b>	특허청장
<b>【참조번호】</b>	0002
<b>【제출일자】</b>	2002.09.04
<b>【발명의 명칭】</b>	배선의 접촉부 및 그 제조 방법과 이를 포함하는 박막 트랜지스터 어레이 기판 및 그 제조 방법
<b>【발명의 영문명칭】</b>	A CONTACT PORTION OF A WIRES, A METHOD FOR MANUFACTURING THE CONTACT PORTION, A THIN FILM TRANSISTOR ARRAY PANEL INCLUDING THE CONTACT PORTION, AND A METHOD FOR MANUFACTURING THE PANEL
<b>【출원인】</b>	
<b>【명칭】</b>	삼성전자 주식회사
<b>【출원인코드】</b>	1-1998-104271-3
<b>【대리인】</b>	
<b>【명칭】</b>	유미특허법인
<b>【대리인코드】</b>	9-2001-100003-6
<b>【지정된변리사】</b>	김원근 , 박종하
<b>【포괄위임등록번호】</b>	2002-036528-9
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	백범기
<b>【성명의 영문표기】</b>	BAEK, BUM GEE
<b>【주민등록번호】</b>	690306-1162017
<b>【우편번호】</b>	441-400
<b>【주소】</b>	경기도 수원시 권선구 곡반정동 한솔아파트 105동 1002호
<b>【국적】</b>	KR
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	최권영
<b>【성명의 영문표기】</b>	CHOI, KWON YOUNG
<b>【주민등록번호】</b>	710123-1683113
<b>【우편번호】</b>	137-776
<b>【주소】</b>	서울특별시 서초구 서초4동 진흥아파트 1동 1505호
<b>【국적】</b>	KR

## 【발명자】

【성명의 국문표기】 이영준  
 【성명의 영문표기】 RHEE, YOUNG JOON  
 【주민등록번호】 731027-1068411  
 【우편번호】 130-032  
 【주소】 서울특별시 동대문구 답십리2동 청솔우성아파트 105동 1606호  
 【국적】 KR

## 【발명자】

【성명의 국문표기】 강봉주  
 【성명의 영문표기】 KANG, BONG JOO  
 【주민등록번호】 740416-1119825  
 【우편번호】 607-102  
 【주소】 부산광역시 동래구 안락2동 안락SK아파트 101동 1003호  
 【국적】 KR

## 【발명자】

【성명의 국문표기】 임승택  
 【성명의 영문표기】 LIM, SEUNG TAEK  
 【주민등록번호】 721103-1055229  
 【우편번호】 158-849  
 【주소】 서울특별시 양천구 신정2동 128-15  
 【국적】 KR

## 【발명자】

【성명의 국문표기】 공향식  
 【성명의 영문표기】 KONG, HYANG SHIK  
 【주민등록번호】 630201-1830040  
 【우편번호】 442-470  
 【주소】 경기도 수원시 팔달구 영통동 신나무실 신원아파트 644동 304호  
 【국적】 KR

## 【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대  
 리인  
 인 (인)

**【수수료】**

【기본출원료】 20 면 29,000 원

【가산출원료】 32 면 32,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 61,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

먼저, 기판 위에 게이트선, 게이트 패드, 게이트 전극을 포함하는 게이트 배선을 형성하고, 게이트 절연막, 반도체층, 중간층 및 크롬의 하부막과 알루미늄 또는 알루미늄 합금의 상부막을 연속 증착한 다음 그 위에 양성의 감광막을 도포한다. 마스크를 통하여 감광막에 빛을 조사한 후 현상하여 감광막 패턴을 형성한다. 감광막 패턴 중에서 소스 전극과 드레인 전극 사이의 채널부에 위치한 제1 부분은 데이터 배선이 형성될 부분에 위치한 제2 부분보다 두께가 작게 되도록 하며, 기타 부분과 채널부의 모서리 부분의 감광막은 모두 제거한다. 다음, 기타 부분에 노출되어 있는 상부막을 습식 식각하고 하부막 및 반도체층을 감광막의 제1 부분과 함께 건식 식각 방법으로 제거한다. 이어, 상부막의 표면에 남아 있는 감광막 찌꺼기를 애싱(ashing)을 통하여 제거한 후, 채널부의 상부막과 하부막 및 그 하부의 중간층 패턴을 식각하여 제거함으로써, 소스 전극과 드레인 전극을 분리한다. 이때, 상부막과 하부막은 모두 습식 식각으로 제거하며 감광막 제2 부분은 상부막을 식각한 다음 제거한다. 이어, 보호막과 화소 전극, 보조 게이트 패드 및 보조 데이터 패드를 형성한다.

## 【대표도】

도 2

## 【색인어】

알루미늄, IZO, 접촉저항, 크롬, 건식식각, 습식 식각

## 【명세서】

## 【발명의 명칭】

배선의 접촉부 및 그 제조 방법과 이를 포함하는 박막 트랜지스터 어레이 기판 및 그 제조 방법{A CONTACT PORTION OF A WIRES, A METHOD FOR MANUFACTURING THE CONTACT PORTION, A THIN FILM TRANSISTOR ARRAY PANEL INCLUDING THE CONTACT PORTION, AND A METHOD FOR MANUFACTURING THE PANEL}

## 【도면의 간단한 설명】

도 1a 및 도 1b 본 발명의 실시예에 배선의 접촉 구조를 도시한 도면이고,  
도 2는 본 발명의 실시예에 따른 배선의 접촉 구조의 제조 방법을 도시한 단면도이고,  
도 3은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판이고,  
도 4는 도 3에 도시한 박막 트랜지스터 기판을 III-III 선을 따라 잘라 도시한 단면도이고,  
도 5a, 6a, 7a 및 8a는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 중간 과정을 그 공정 순서에 따라 도시한 박막 트랜지스터 기판의 배치도이고,  
도 5b는 도 5a에서 Vb-Vb' 선을 따라 절단한 단면도이고,  
도 6b는 도 6a에서 VIb-VIb' 선을 따라 잘라 도시한 도면으로서 도 5b의 다음 단계를 도시한 단면도이고,

도 7b는 도 7a에서 VIIb-VIIb' 선을 따라 잘라 도시한 도면으로서 도 6b의 다음 단계를 도시한 단면도이고,

도 8b는 도 8a에서 VIIIb-VIIIb' 선을 따라 잘라 도시한 도면으로서 도 7b의 다음 단계를 도시한 단면도이고,

도 9는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고,

도 10 및 도 11은 도 9에 도시한 박막 트랜지스터 기판을 X-X' 선 및 XI-XI' 선을 따라 잘라 도시한 단면도이고,

도 12a는 본 발명의 제2 실시예에 따라 제조하는 첫 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 12b 및 12c는 각각 도 12a에서 XIIb-XIIb' 선 및 XIIc-XIIc' 선을 따라 잘라 도시한 단면도이며,

도 13a 및 13b는 각각 도 12a에서 XIIb-XIIb' 선 및 XIIc-XIIc' 선을 따라 잘라 도시한 단면도로서, 도 12b 및 도 12c 다음 단계에서의 단면도이고,

도 14a는 도 13a 및 13b 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 14b 및 14c는 각각 도 14a에서 XIVb-XIVb' 선 및 XIVc-XIVc' 선을 따라 잘라 도시한 단면도이며,

도 15a, 16a, 17a와 도 15b, 16b, 17b는 각각 도 14a에서 XIVb-XIVb' 선 및 XIVc-XIVc' 선을 따라 잘라 도시한 단면도로서 도 14b 및 14c 다음 단계들을 공정 순서에 따라 도시한 것이고,

도 18a는 도 17a 및 도 17b의 다음 단계에서의 박막 트랜지스터 기관의 배치도이고,

도 18b 및 18c는 각각 도 18a에서 XVIIIb-XVIIIb' 선 및 XVIIc-XVIIc' 선을 따라 잘라 도시한 단면도이다.

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <20> 본 발명은 배선의 접촉부 및 그 제조 방법과 이를 포함하는 박막 트랜지스터 어레이 기관 및 그 제조 방법에 관한 것이다.
- <21> 일반적으로 반도체 장치에서 배선은 신호가 전달되는 수단으로 사용되므로 신호 지연을 최소화하는 것이 요구된다.
- <22> 이때, 신호 지연을 방지하기 위하여 배선은 저저항을 가지는 금속 물질, 특히 알루미늄(Al) 또는 알루미늄 합금(Al alloy) 등과 같은 알루미늄 계열의 금속 물질을 사용하는 것이 일반적이다. 그러나, 알루미늄 또는 알루미늄 합금의 배선은 물리적 또는 화학적인 특성이 약하기 때문에 접촉부에서 다른 도전 물질과 연결될 때 부식이 발생하여 반도체 소자의 특성을 저하시키는 문제점을 가지고 있다. 특히, 액정 표시 장치에서와 같이 투명한 도전 물질인 ITO(indium tin oxide)를 사용하여 화소 전극을 형성하는 경우에 ITO와 알루미늄 또는 알루미늄 합금의 배선과 접하는 접촉부에서 알루미늄 또는 알루미늄 합금의 배선이 부식되는 문제점이 발생하나다. 이러한 문제점을 해결하기 위해 ITO대신 알루미늄 계열의 배선과 접하더라도 부식이 발생하지 않는 IZO로 이용하여 화소



전극으로 형성하는 기술이 개발되었으나, IZO를 사용하는 경우에는 접촉부에서의 접촉 저항이 증가하는 문제점이 있다. 이러한 문제점을 해결하기 위해 IZO 또는 IT0와 접촉 특성이 우수한 도전 물질을 개재하는 방법이 개발되었으나 사진 식각 공정이 추가되어 제조 공정이 복잡하고 제조 비용이 증가하는 문제점이 있다.

<23> 한편, 액정 표시 장치를 제조 방법 중에서, 박막 트랜지스터가 형성되어 있는 기판은 마스크를 이용한 사진 식각 공정을 통하여 제조하는 것이 일반적이다. 이때, 생산 비용을 줄이기 위해서는 마스크의 수를 적게 하는 것이 바람직하다.

#### 【발명이 이루고자 하는 기술적 과제】

<24> 본 발명이 이루고자 하는 기술적 과제는 저저항 물질로 이루어진 동시에 저저항의 접촉 특성을 가지는 배선의 접촉부 및 그 제조 방법을 제공하는 것이다.

<25> 본 발명의 다른 과제는 우수한 접촉 특성을 가지는 배선의 접촉부를 포함하는 박막 트랜지스터 어레이 기판 및 그 제조 방법을 제공하는 것이다.

<26> 본 발명의 다른 과제는 우수한 접촉 특성을 가지는 배선의 접촉부를 포함하는 박막 트랜지스터 어레이 기판의 제조 방법을 단순화하는 것이다.

#### 【발명의 구성 및 작용】

<27> 이러한 문제점을 해결하기 위하여 본 발명에서는 배선은 IZO와 낮은 접촉 저항을 가지며 건식 식각이 가능한 도전 물질의 하부막과 알루미늄 또는 알루미늄 합금 등과 같이 낮은 비저항을 가지는 도전 물질의 상부막을 차례로 적층한 다음, 상부막은 습식 식각으로 감광막 패턴의 하부로 언더 컷이 발생하도록 패터닝하여 하부막은 건식 식각으로 패터닝하여 상부막 밖으로 하부막이 드러나도록 형성하여 IZO와 하부막을 접촉시킨다.

- <28> 이때, 하부막은 크롬으로 이루어진 것이 바람직하다.
- <29> 이러한 배선의 접촉부는 박막 트랜지스터 어레이 기판 및 그 제조 방법에도 적용할 수 있다.
- <30> 더욱 상세하게, 본 발명에 따른 박막 트랜지스터 기판에는, 절연 기판 위에 게이트선, 게이트선과 연결되어 있는 게이트 전극을 포함하는 게이트 배선이 형성되어 있고, 게이트 배선을 덮는 게이트 절연막 상부에는 반도체층이 형성되어 있다. 반도체층 또는 게이트 절연막 상부에는 게이트선과 교차하는 데이터선, 데이터선과 연결되어 있는 소스 전극, 소스 전극과 분리되어 마주하는 드레인 전극을 포함하는 데이터 배선이 형성되어 있으며, 그 상부에는 반도체층을 덮는 보호막이 형성되어 있다. 보호막의 상부에는 IZO로 이루어져 있으며, 보호막의 접촉 구멍을 통하여 게이트 배선 또는 데이터 배선과 연결되어 있는 도전층이 형성되어 있다.
- <31> 이때, 게이트 배선 또는 데이터 배선은 건식 식각이 가능한 도전 물질로 이루어진 하부막과 알루미늄 또는 알루미늄 합금으로 이루어져 있으며 경계선이 하부막 상부에 위치하는 상부막을 포함하며, 도전층은 적어도 접촉 구멍을 통하여 상부막 밖으로 드러난 하부막과 접촉되어 있다.
- <32> 하부막은 크롬으로 이루어진 것이 바람직하며, 하부막의 두께는 500Å 이하인 것이 바람직하다.
- <33> 게이트 배선은 외부로부터 주사 신호를 전달받아 상기 게이트선으로 전달하는 게이트 패드를 포함하며, 데이터 배선은 외부로부터 영상 신호를 전달받을 상기 데이터선으로 전달하는 데이터 패드를 포함하며, 접촉 구멍은 드레인 전극, 게이트 패드 또는 상

기 데이터 패드를 드러내는 제1 내지 제3 접촉 구멍을 포함하며, 도전층은 제1 내지 제3 접촉 구멍을 통하여 드레인 전극, 게이트 패드 또는 데이터 패드와 각각 연결되는 화소 전극, 보조 게이트 패드 또는 보조 데이터 패드를 포함할 수 있다.

<34> 소스 및 드레인 전극 사이의 채널부를 제외한 반도체층은 데이터 배선과 동일한 모양을 가질 수 있다.

<35> 이러한 본 발명에 따른 박막 트랜지스터 어레이 기관의 제조 방법에서는, 절연 기관 위에 게이트선, 게이트선과 연결되어 있는 게이트 전극, 게이트선에 연결되어 있는 게이트 패드를 포함하는 게이트 배선을 형성한다. 이어, 게이트 배선을 덮는 게이트 절연막 상부에 반도체층 패턴을 형성하고, 이어, 게이트선과 교차하여 세로 방향으로 뻗어 있는 데이터선, 데이터선과 연결되어 있는 소스 전극, 소스 전극과 분리되어 마주하는 드레인 전극 및 데이터선에 연결되어 있는 데이터 패드를 포함하는 데이터 배선을 형성한다. 이어, 반도체층 패턴을 덮고 있으며 게이트 배선 또는 데이터 배선을 드러내는 접촉 구멍을 가지는 보호막을 형성하고, 그 상부에 IZO를 적층하고 패터닝하여 접촉 구멍을 통하여 게이트 배선 또는 데이터 배선과 연결되어 있는 도전층을 형성한다. 이때, 게이트 배선 또는 데이터 배선은 건식 식각이 가능한 도전 물질로 이루어진 하부막과 알루미늄 또는 알루미늄 합금으로 이루어진 상부막을 차례로 적층하고 패터닝하여 형성한다.

<36> 이때, 게이트 배선 및 상기 데이터 배선 형성 단계는 감광막 패턴을 이용한 사진 식각 공정으로 이루어지며, 상부막은 습식 식각으로 식각하고, 하부막은 건식 식각으로 식각하는 것이 바람직하다.

<37> 하부막은 크롬으로 형성하고 두께는 500Å 이하로 형성하는 것이 바람직하다.

- <38> 반도체층 패턴과 데이터 배선 사이에 접촉층 패턴을 형성하는 단계를 더 포함할 수 있으며, 데이터 배선과 반도체층 패턴은 하나의 감광막 패턴을 이용한 사진 식각 공정을 통하여 이루어지며, 감광막 패턴은 소스 전극 및 드레인 전극 사이의 채널부에 위치하며 제1 두께를 가지는 제1 부분과 제1 두께보다 두꺼운 두께를 가지는 제2 부분 및 제1 부분보다 얇은 두께를 가지는 제3 부분을 포함하는 것이 바람직하다.
- <39> 감광막 패턴은 하나의 마스크를 사용하여 형성하는 것이 바람직하다.
- <40> 게이트 절연막, 반도체층 패턴, 접촉층 패턴 및 데이터 배선을 형성하기 위해서는, 우선 게이트 절연막, 반도체층, 접촉층 및 하부막과 상부막을 차례로 적층하고, 상부막의 상부에 감광막을 도포한다. 이어, 감광막을 마스크를 통하여 노광하고 현상하여 제2 부분이 데이터 배선의 상부에 위치하도록 감광막 패턴을 형성한 다음, 제3 부분 아래의 상부막 및 하부막과 그 하부의 접촉층 및 반도체층, 제1 부분과 그 아래의 상부막 및 하부막과 접촉층, 그리고 제2 부분의 일부 두께를 식각하여 하부막 및 상부막, 접촉층, 반도체층으로 각각 이루어진 데이터 배선, 접촉층 패턴, 반도체층 패턴을 형성한다.
- <41> 더욱 상세하게, 데이터 배선, 접촉층 패턴, 반도체층 패턴을 형성하기 위해서는 제3 부분 아래의 상기 상부막을 습식 식각하고 하부막을 건식 식각하여 접촉층을 노출시킨다. 이어, 제3 부분 아래의 접촉층 및 그 아래의 반도체층을 제1 부분과 함께 건식 식각하여 제3 부분 아래의 게이트 절연막과 제1 부분 아래의 상부막을 드러내고 반도체층으로 이루어진 반도체층 패턴을 완성한다. 이어, 제1 부분 아래의 상부막 및 하부막을 습식 식각하여 데이터 배선을 완성하고 제1 부분 아래의 접촉층을 식각하여 접촉층 패턴을 완성한다.

- <42>        이때, 제2 부분은 상부막을 식각하는 단계와 하부막을 식각하는 단계 사이에서 제거하는 것이 바람직하다.
- <43>        그러면, 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 배선의 접촉부 및 그 제조 방법과 이를 포함하는 박막 트랜지스터 어레이 기판 및 그 제조 방법에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- <44>        도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- <45>        이제 본 발명의 실시예에 따른 배선의 접촉부 및 그 제조 방법과 이를 포함하는 박막 트랜지스터 어레이 기판 및 그 제조 방법에 대하여 도면을 참고로 하여 상세하게 설명한다.
- <46>        도 1a 및 도 1b는 본 발명의 실시예에 배선의 접촉부를 도시한 도면이고, 도 2는 본 발명의 실시예에 따른 배선의 접촉부의 제조 방법을 도시한 단면도이다.
- <47>        반도체 장치, 특히 신호를 전달하는 배선으로는 신호의 지연을 최소화하기 위하여  $15\ \mu\ \Omega\text{cm}$  이하의 낮은 비저항을 가지는 알루미늄 또는 알루미늄 합금의 금속 물질이 적합하다. 이때, 배선은 외부로부터 신호를 받거나, 외부로 신호를 전달하기 위해 다른

도전층과 연결되어야 하는데, 제조 과정에서 다른 도전 물질과 접촉할 때 접촉부에서 접촉 저항이 작아야 한다. 이를 위하여 본 발명의 실시예에 따른 배선의 접촉부에서, 기판(10) 상부에 형성되어 있는 배선(11)은 도 1a 및 도 1b에서 보는 바와 같이 크롬 또는 몰리브덴 또는 몰리브덴 합금 등과 같이 IZO와 낮은 접촉 저항을 가지는 동시에 건식 식각이 가능한 도전 물질의 하부막(111)과 저저항을 가지는 알루미늄 또는 알루미늄 합금으로 이루어진 상부막(112)을 포함한다. 배선(11)을 덮는 절연막(12)은 배선(11), 특히 배선(11) 중 적어도 상부막(112)의 밖으로 드러난 하부막(111) 일부가 드러내는 접촉 구멍(13)을 가지고 있으며, 절연막(12)의 상부에는 접촉 구멍(13)을 통하여 배선(11), 특히 배선(11)의 하부막(111)과 접촉하며 IZO로 이루어진 도전층(14)이 형성되어 있다.

<48> 이때, 도전층(14)이 접촉 구멍(13)의 단차 또는 배선(11) 하부의 언더 컷 (under-cut)으로 인하여 단선되는 것을 방지할 수 있도록 접촉 구멍(13)에서 드러난 하부막(111)의 경계선과 이와 인접한 접촉 구멍(13)의 경계선 사이의 간격이  $2\mu\text{m}$  범위를 벗어나지 않도록 접촉 구멍(13)을 형성하는 것이 바람직하다. 이러한 본 발명의 실시예에 따른 배선의 접촉 구조의 제조 방법에서는, 도 2에서 보는 바와 같이 우선 기판(10)의 상부에 크롬 또는 몰리브덴 또는 몰리브덴 합금의 하부막(111)과 알루미늄 또는 알루미늄 합금의 상부막(112)을 차례로 적층하고, 상부막(112)의 상부에 배선용 감광막 패턴(200)을 형성한다. 이어 감광막 패턴(200)을 식각 마스크로 식각액을 이용한 습식 식각으로 상부막(112)을 식각하는데, 감광막 패턴(200)의 하부에서 상부막(112)이 언더 컷되도록 패터닝한다. 이어, 감광막 패턴(200)을 식각 마스크로 사용하여 건식 식각으로 하부막(111)을 식각한다. 그러면, 하부막(111)의 가장자리 부분은 상부막(112)의 밖

으로 드러나게 된다. 이때, 하부막(111)이 크롬인 경우에 건식 식각을 적용하기 위해서는 500 Å 이하 더욱 바람직하게는 300 Å 정도의 두께를 가지는 것이 바람직하다.

여기서, 배선(11)의 하부막(111)을 건식 식각이 가능한 도전 물질로 형성하는 경우에는 하부막(111)의 하부에 다른 막을 추가하고 건식 식각으로 패터닝하는 경우, 일례로 규소로 이루어진 반도체층을 추가하여 반도체층을 건식 식각으로 패터닝할 때에는 하부막(111)과 동일한 식각 조건을 적용함으로써 제조 공정을 단순화할 수 있으며, 이후의 제2 실시예에 따른 박막 트랜지스터 기판의 제조 방법을 통하여 구체적으로 설명하기로 한다.

<49> 이어, 배선(11)을 덮는 절연막(12)을 적층한 다음, 마스크를 이용한 사진 식각 공정으로 절연막(12)을 패터닝하여 접촉 구멍(13)을 형성한다. 이때, 접촉 구멍(13)은 하부막(111)이 드러나도록 형성한다. 이어, IZO를 적층하고 패터닝하여 접촉 구멍(13)을 통하여 배선(11), 특히 드러난 하부막(111)과 접촉하는 도전층(14)을 형성한다.

<50> 이러한, 배선의 접촉부 및 그 제조 방법은 액정 표시 장치용 박막 트랜지스터 및 그 제조 방법에서도 적용할 수 있다.

<51> 그러면, 이러한 본 발명에 따른 배선의 접촉부를 포함하는 액정 표시 장치용 박막 트랜지스터 어레이 기판 및 제조 방법에 대하여 도면을 참조하여 상세하게 설명하기로 한다.

<52> 먼저, 도 3 및 도 4를 참고로 하여 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판의 구조에 대하여 상세히 설명한다.

- <53> 도 3은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판이고, 도 4는 도 3에 도시한 박막 트랜지스터 어레이 기판을 IV-IV' 선을 따라 잘라 도시한 단면도이다.
- <54> 절연 기판(110) 위에 IZO와 접촉 특성이 좋으며 건식 식각이 가능한 도전 물질로 이루어진 하부막(201)과 저저항을 가지는 알루미늄 또는 알루미늄 합금의 상부막(202)을 포함하는 게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 게이트선(121), 게이트선(121)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선으로 전달하는 게이트 패드(125) 및 게이트선(121)에 연결되어 있는 박막 트랜지스터의 게이트 전극(123)을 포함한다. 이때, 하부막(201)은 상부막(202) 밖으로 드러나 있다.
- <55> 여기서, 게이트 배선(121, 123, 125)은 은 또는 은 합금 또는 알루미늄 또는 알루미늄 합금 등의 단일막으로 이루어질 수 있다.
- <56> 기판(110) 위에는 질화 규소( $\text{SiN}_x$ ) 따위로 이루어진 게이트 절연막(140)이 게이트 배선(121, 125, 123)을 덮고 있다.
- <57> 게이트 전극(123)의 게이트 절연막(140) 상부에는 비정질 규소 등의 반도체로 이루어진 반도체층(150)이 형성되어 있으며, 반도체층(150)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항 접촉층(163, 165)이 각각 형성되어 있다.
- <58> 저항 접촉층(163, 165) 또는 게이트 절연막(140) 위에는 크롬 또는 몰리브덴 또는 몰리브덴 합금 등과 같이 IZO와 접촉 특성이 좋으며 건식 식각이 가능한 도전 물질로 이



루어진 하부막(701)과 저저항을 가지는 알루미늄 또는 알루미늄 합금의 상부막(702)을 포함하는 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 게이트 선(121)과 교차하여 화소를 정의하는 데이터선(171), 데이터선(171)에 연결되어 있으며 저항 접촉층(163)의 상부까지 연장되어 있는 소스 전극(173), 데이터선(171)의 한쪽 끝에 연결되어 있으며 외부로부터의 화상 신호를 인가받는 데이터 패드(179), 소스 전극(173)과 분리되어 있으며 게이트 전극(123)에 대하여 소스 전극(173)의 반대쪽 저항 접촉층(165) 상부에 형성되어 있는 드레인 전극(175)을 포함한다. 이때에도 게이트 배선(123, 121, 125)과 마찬가지로 데이터 배선(171, 173, 175, 179)의 하부막(701)은 상부막(702) 밖으로 드러나 있다.

<59> 데이터 배선(171, 173, 175, 179)은 알루미늄 또는 알루미늄 합금의 단일막으로 형성하는 것이 바람직하지만, 이중층이상으로 형성될 수도 있다. 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 물질로 형성하고 다른 층은 다른 물질, 특히 IZO와 낮은 접촉 저항을 가지는 물질로 만드는 것이 바람직하다. 그 예로는 Al(또는 Al 합금)/Cr 또는 Al(또는 Al 합금)/Mo(또는 Mo 합금) 등을 들 수 있으며, 본 발명의 실시예에서 데이터 배선(171, 173, 175, 179)은 크롬의 하부막(701)과 알루미늄-네오디뮴 합금의 상부막(702)의 이중막으로 이루어져 있다.

<60> 데이터 배선(171, 177, 173, 175, 179) 및 이들이 가리지 않는 반도체층(150) 상부에는 평탄화 특성이 우수하며 감광성을 가지는 유기 물질 또는 PECVD(plasma enhanced chemical vapor deposition) 방법으로 형성되며 a-Si:C:O 막 또는 a-Si:O:F 막 등을 포함하는 저유전율 CVD막 또는 무기 물질인 질화 규소로 이루어진 보호막(180)이 형성되어 있다.

- <61> 보호막(180)에는 드레인 전극(175) 및 데이터 패드(179)를 각각 드러내는 접촉 구멍(185, 189)이 형성되어 있으며, 게이트 절연막(140)과 함께 게이트 패드(125)를 드러내는 접촉 구멍(182)이 형성되어 있다. 여기서, 접촉 구멍(182, 185, 189)은 게이트 패드(125), 드레인 전극(175) 및 데이터 패드(179)의 하부막(201, 701)의 경계선 중 적어도 일부가 드러나도록 형성되어 있다.
- <62> 보호막(180) 위에는 접촉 구멍(185)을 통하여 드레인 전극(175)과 전기적으로 연결되어 있으며 화소에 위치하며, IZO로 이루어진 화소 전극(190)이 형성되어 있다. 이때, 화소 전극(190)은 접촉 구멍(185)에서 드러난 드레인 전극(175)의 하부막(701)과 충분히 넓은 면적으로 접촉하고 있어 접촉부의 접촉 저항을 최소화할 수 있다. 또한, 보호막(180) 위에는 접촉 구멍(187, 189)을 통하여 각각 게이트 패드(125) 및 데이터 패드(179)와 연결되어 있는 보조 게이트 패드(92) 및 보조 데이터 패드(97)가 형성되어 있다. 이때, 게이트 패드(125) 및 데이터 패드(179) 또한 하부막(201, 701)이 상부막(202, 702) 밖으로 드러나 있어 넓은 면적으로 보조 게이트 패드(92) 및 보조 데이터 패드(97)는 하부막(201, 701)과 접촉하고 있다. 따라서, 접촉부의 접촉 저항을 최소화할 수 있다.
- <63> 여기서, 화소 전극(190)은 도 3 및 도 4에서 보는 바와 같이, 게이트선(121)과 중첩되어 유지 축전기를 이루며, 유지 용량이 부족한 경우에는 게이트 배선(121, 125, 123)과 동일한 층에 유지 용량용 배선을 추가할 수도 있다.
- <64> 그러면, 이러한 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법에 대하여 도 3 및 도 4와 도 5a 내지 도 8b를 참고로 하여 상세히 설명한다.

<65> 먼저, 도 5a 및 5b에 도시한 바와 같이, 기판(110) 위에 크롬 또는 폴리브덴 또는 폴리브덴 합금 등과 같이 IZO와 접촉 특성이 우수한 도전 물질의 하부막(201)과 저저항을 가지는 알루미늄 또는 알루미늄 합금의 상부막을 각각 500Å 및 2,500Å 정도의 두께로 각각 스퍼터링(sputtering)으로 적층하고 패터닝하여 게이트선(121), 게이트 전극(123) 및 게이트 패드(125)를 포함하는 게이트 배선을 형성한다. 여기서, 게이트 배선(121, 123, 125)의 패터닝은 앞에서 설명한 바와 같이 상부막(702)의 상부에 게이트 배선용 감광막 패턴(220)을 형성한 다음, 이를 식각 마스크로 사용하여 먼저 알루미늄 또는 알루미늄 합금을 식각하는데 사용하는 알루미늄 식각액으로  $\text{CH}_3\text{COOH}$ (8-15%)/ $\text{HNO}_3$ (5-8%)/ $\text{H}_3\text{PO}_4$ (50-60%)/ $\text{H}_2\text{O}$ (나머지)를 이용하여 상부막(202)을 습식 식각한다. 이때 습식 식각은 등방성으로 진행되어 감광막 패턴(220)의 하부에서는 언더 컷이 발생한다. 이어, 게이트 배선용 감광막 패턴(220)을 식각 마스크로 사용하여 건식 식각으로 하부막(201)을 패터닝한다. 그러면, 건식 식각은 비등방적으로 진행되므로 하부막(201)의 가장자리 부분은 상부막(202) 밖으로 드러나게 된다.

<66> 다음, 도 6a 및 도 6b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(140), 비정질 규소로 이루어진 반도체층(150), 도핑된 비정질 규소층(160)의 삼층막을 연속하여 적층하고 마스크를 이용한 패터닝 공정으로 반도체층(150)과 도핑된 비정질 규소층(160)을 패터닝하여 게이트 전극(125)과 마주하는 게이트 절연막(140) 상부에 반도체층(150)과 저항 접촉층(160)을 형성한다. 여기서, 게이트 절연막(140)은 질화 규소를 250~500℃ 온도 범위, 2,000~5,000Å 정도의 두께로 적층하여 형성하는 것이 바람직하다.

<67> 다음, 도 7a 내지 도 7b에 도시한 바와 같이, 크롬의 하부막(701)을 500Å 정도의 두께로, 저저항을 가지는 알루미늄 또는 알루미늄 합금의 금속 중, 2 at%의 Nd를 포함하는 Al-Nd 합금의 표적을 이용하여 상부막(602)을 150℃ 정도에서 2,500Å 정도의 두께로 스퍼터링(sputtering)을 통하여 차례로 적층한 후, 데이터 배선용 감광막 패턴(200)을 이용한 사진 식각 공정으로 패터닝하여 게이트선(121)과 교차하는 데이터선(171), 데이터선(171)과 연결되어 게이트 전극(123) 상부까지 연장되어 있는 소스 전극(173), 데이터선(171)은 한쪽 끝에 연결되어 있는 데이터 패드(179), 소스 전극(177)과 분리되어 있으며 게이트 전극(123)을 중심으로 소스 전극(173)과 마주하는 드레인 전극(175) 및 게이트선(121)과 중첩하는 유지 축전기용 도전체 패턴(177)을 포함하며 테이퍼 구조를 가지는 데이터 배선을 형성한다. 식각 조건은 게이트 배선을 형성하는 식각 조건과 동일하다.

<68> 이어, 데이터 배선(171, 173, 175, 179)으로 가리지 않는 도핑된 비정질 규소층 패턴(160)을 식각하여 게이트 전극(123)을 중심으로 양쪽으로 분리시키는 한편, 양쪽의 도핑된 비정질 규소층(163, 165) 사이의 반도체층 패턴(150)을 노출시킨다. 이어, 노출된 반도체층(150)의 표면을 안정화시키기 위하여 산소 플라즈마를 실시하는 것이 바람직하다.

<69> 다음으로, 도 8a 및 도 8b에서 보는 바와 같이, 평탄화 특성이 우수하며 감광성을 가지는 유기 물질을 코팅하거나 또는 a-Si:C:O 막 또는 a-Si:O:F 막 등을 포함하는 저유전을 절연 물질을 PECVD(plasma enhanced chemical vapor deposition) 방법으로 적층하거나 무기 물질인 질화 규소를 적층하여 보호막(180)을 형성하고, 마스크를 이용한 사진 식각 공정으로 게이트 절연막(140)과 함께 건식 식각으로 패터닝하여, 게이트 패드

(125), 드레인 전극(175) 및 데이터 패드(179)를 각각 드러내는 접촉 구멍(182, 185, 189)을 형성한다. 여기서, 접촉 구멍(182, 185, 189)은 드레인 전극(175), 게이트 패드(125) 및 데이터 패드(179)의 하부막(201, 701)이 드러나도록 형성한다. 이때, 접촉 구멍(182, 185, 189)에서 게이트 절연막(140)의 일부가 식각되어 기판(110)이 드러날 수 있다. 이렇게 하면, 접촉 구멍(182, 185, 189)에서 이후에 형성되는 화소 전극(190), 보조 게이트 패드(92) 및 보조 데이터 패드(97)와 드레인 전극(175), 게이트 패드(125) 및 데이터 패드(179)가 각각 접촉할 때, 다른 물질과 접촉 특성이 우수한 이들(177, 175, 179)의 하부막(701)과 IZO막(190, 97, 92) 사이의 접촉 저항을 최소화할 수 있는 동시에 접촉 면적을 극대화할 수 있다.

<70> 다음, 마지막으로 도 3 및 4에 도시한 바와 같이, IZO막을 스퍼터링으로 적층하고 마스크를 이용한 패터닝을 실시하여 접촉 구멍(185)을 통하여 드레인 전극(175)과 연결되는 화소 전극(190)과 접촉 구멍(182, 189)을 통하여 게이트 패드(125) 및 데이터 패드(179)와 각각 연결되는 보조 게이트 패드(92) 및 보조 데이터 패드(97)를 각각 형성한다. 이때, 화소 전극(190), 보조 게이트 패드(92) 및 보조 데이터 패드(97)는 드레인 전극(175), 게이트 패드(125) 및 데이터 패드(179)의 하부에서 언더 컷이 발생하지 않아 단선되지 않으며 IZO막과 낮은 접촉 저항을 가지는 몰리브덴 또는 몰리브덴 합금의 하부막(701)과 충분히 접하고 있어 접촉부의 접촉 저항을 최소화할 수 있다. 본 발명의 실시예에서 IZO막(190, 92, 97)을 형성하기 위한 표적(target)은 이데미츠(idemitsu)사의 IDIXO(indium x-metal oxide)라는 상품을 사용하였으며, 표적은  $\text{In}_2\text{O}_3$  및  $\text{ZnO}$ 를 포함하며,  $\text{In}+\text{Zn}$ 에서  $\text{Zn}$ 의 함유량은 15-20 at% 범위인 것이 바람직하다. 또한, 접촉 저항을 최소화하기 위해 IZO막은  $250^\circ\text{C}$  이하의 범위에서 적층하는 것이 바람직하다.

- <71> 이러한 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판의 구조는 게이트 배선(121, 125, 123) 및 데이터 배선(171, 177, 175, 179)이 저저항을 가지는 알루미늄 또는 알루미늄 합금의 도전막을 포함하고 있는 동시에 접촉부 특히 배선과 IZO막의 접촉 저항을 최소화할 수 있어 대화면 고정세의 액정 표시 장치에 적용할 수 있으며, 표시 장치의 특성을 향상시킬 수 있다.
- <72> 이러한 방법은 앞에서 설명한 바와 같이, 5매의 마스크를 이용하는 제조 방법에 적용할 수 있지만, 4매 마스크를 이용하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서도 동일하게 적용할 수 있다. 이에 대하여 도면을 참조하여 상세하게 설명하기로 한다.
- <73> 먼저, 도 9 내지 도 11을 참고로 하여 본 발명의 실시예에 따른 4매 마스크를 이용하여 완성된 액정 표시 장치용 박막 트랜지스터 어레이 기판의 단위 화소 구조에 대하여 상세히 설명한다.
- <74> 도 9는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 10 및 도 11은 각각 도 9에 도시한 박막 트랜지스터 기판을 X-X' 선 및 XI-XI' 선을 따라 잘라 도시한 단면도이다.
- <75> 먼저, 절연 기판(110) 위에 제1 실시예와 동일하게 크롬 또는 몰리브덴 또는 몰리브덴 합금의 하부막(201)과 알루미늄 또는 알루미늄 합금의 상부막(202)을 포함하는 게이트선(121), 게이트 패드(125) 및 게이트 전극(123)을 포함하는 게이트 배선이 형성되어 있다. 그리고, 게이트 배선은 기판(110) 상부에 게이트선(121)과 평행하며 상판의 공통 전극에 입력되는 공통 전극 전압 따위의 전압을 외부로부터 인가받는 유지 전극(131)을 포함한다. 유지 전극(131)은 후술할 화소 전극(190)과 연결된 유지 축전기용

도전체 패턴(177)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(190)과 게이트선(121)의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다.

<76> 게이트 배선(121, 125, 123, 131) 위에는 질화 규소( $\text{SiN}_x$ ) 따위로 이루어진 게이트 절연막(140)이 형성되어 게이트 배선(121, 125, 123, 131)을 덮고 있다.

<77> 게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 따위의 반도체로 이루어진 반도체층패턴(152, 157)이 형성되어 있으며, 반도체층패턴(152, 157) 위에는 인(P) 따위의 n형 불순물로 고농도로 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층(ohmic contact layer) 패턴 또는 중간층 패턴(163, 165, 167)이 형성되어 있다.

<78> 저항성 접촉층 패턴(163, 165, 167) 위에는 제1 실시예와 동일하게 크롬 또는 몰리브덴 또는 몰리브덴 합금의 하부막(701)과 저저항을 가지는 알루미늄 또는 알루미늄 합금의 상부막(702)을 포함하는 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 있는 데이터선(171), 데이터선(171)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가받는 데이터 패드(179), 그리고 데이터선(171)에 연결되어 있는 박막 트랜지스터의 소스 전극(173)으로 이루어진 데이터선부를 포함하며, 또한 데이터선부(171, 179, 173)와 분리되어 있으며 게이트 전극(123) 또는 박막 트랜지스터의 채널부(C)에 대하여 소스 전극(173)의 반대쪽에 위치하는 박막 트랜지스터의 드레인 전극(175)과 유지 전극(131) 위에 위치하고 있는 유지 축전기용 도전체 패턴(177)도 포함한다. 유지 전극(131)을 형성하지 않을 경우 유지 축전기용 도전체 패턴(177) 또한 형성하지

않는다. 여기서, 제1 실시예와 동일하게 하부막(701)의 가장자리 부분은 상부막(702) 밖으로 드러나 있다.

<79> 접촉층 패턴(163, 165, 167)은 그 하부의 반도체층패턴(152, 157)과 그 상부의 데이터 배선(171, 177, 173, 175, 179)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(171, 177, 173, 175, 179)과 완전히 동일한 형태를 가진다. 즉, 데이터선부 중간층 패턴(163)은 데이터선부(171, 179, 173)와 동일하고, 드레인 전극용 중간층 패턴(165)은 드레인 전극(175)과 동일하며, 유지 축전기용 중간층 패턴(167)은 유지 축전기용 도전체 패턴(177)과 동일하다.

<80> 한편, 반도체층패턴(152, 157)은 박막 트랜지스터의 채널부(C)를 제외하면 데이터 배선(171, 177, 173, 175, 179) 및 저항성 접촉층 패턴(163, 165, 167)과 동일한 모양을 하고 있다. 구체적으로는, 유지 축전기용 반도체층패턴(157)과 유지 축전기용 도전체 패턴(177) 및 유지 축전기용 접촉층 패턴(167)은 동일한 모양이지만, 박막 트랜지스터용 반도체층패턴(152)은 데이터 배선 및 접촉층 패턴의 나머지 부분과 약간 다르다. 즉, 박막 트랜지스터의 채널부(C)에서 데이터선부(171, 179, 173), 특히 소스 전극(173)과 드레인 전극(175)이 분리되어 있고 데이터선부 중간층(163)과 드레인 전극용 접촉층 패턴(165)도 분리되어 있으나, 박막 트랜지스터용 반도체층패턴(152)은 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 생성한다.

<81> 데이터 배선(171, 177, 173, 175, 179) 위에는 제1 실시예와 동일하게 유기 절연 물질 또는 무기 질화 규소로 이루어진 보호막(180)이 형성되어 있다.

<82> 보호막(180)은 드레인 전극(175), 데이터 패드(179) 및 유지 축전기용 도전체 패턴(177)을 드러내는 접촉구멍(185, 189, 187)을 가지고 있으며, 또한 게이트 절연막(140)



과 함께 게이트 패드(125)를 드러내는 접촉 구멍(182)을 가지고 있다. 이때, 제1 실시예와 동일하게 접촉 구멍(182, 187, 185, 189) 모두는 유지 축전기용 도전체 패턴(177), 게이트 패드(125)드레인 전극(175), 데이터 패드(179), 특히 IZO와 낮은 접촉 저항을 가지는 하부막(201, 701)이 드러나도록 형성되어 있다.

<83> 보호막(180) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(190)이 형성되어 있다. 화소 전극(190)은 ITO(indium tin oxide) 또는 IZO(indium tin oxide) 따위의 투명한 도전 물질로 만들어지며, 접촉 구멍(185)을 통하여 드레인 전극(175)과 물리적·전기적으로 연결되어 화상 신호를 전달받는다. 화소 전극(190)은 또한 이웃하는 게이트선(121) 및 데이터선(171)과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다. 또한 화소 전극(190)은 접촉 구멍(187)을 통하여 유지 축전기용 도전체 패턴(177)과도 연결되어 도전체 패턴(177)으로 화상 신호를 전달한다. 한편, 게이트 패드(125) 및 데이터 패드(179) 위에는 접촉 구멍(182, 189)을 통하여 각각 이들과 연결되는 보조 게이트 패드(92) 및 보조 데이터 패드(97)가 형성되어 있으며, 이들은 패드(125, 179)와 외부 회로 장치와의 접착성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다. 여기서도, 접촉부에서 IZO막(190, 92, 97)은 유지 축전기용 도전체 패턴(177), 게이트 패드(125)드레인 전극(175), 데이터 패드(179), 특히 IZO와 낮은 접촉 저항을 가지는 하부막(201, 701)과 접촉되어 있다.

<84> 여기에서는 화소 전극(190)의 재료의 예로 투명한 IZO를 들었으나, 투명한 도전성 폴리머(polymer) 등으로 형성할 수도 있으며, 반사형 액정 표시 장치의 경우 불투명한 도전 물질을 사용하여도 무방하다.

<85> 그러면, 도 9 내지 도 11의 구조를 가지는 액정 표시 장치용 박막 트랜지스터 어레이 기판을 4매 마스크를 이용하여 제조하는 방법에 대하여 상세하게 도 9 내지 도 11과 도 12a 내지 도 18c를 참조하여 설명하기로 한다.

<86> 먼저, 도 12a 내지 12c에 도시한 바와 같이, 알루미늄보다 IZO와 낮은 접촉 저항을 가지는 크롬 또는 몰리브덴 또는 몰리브덴 합금으로 이루어진 하부막(201)과 저저항을 가지는 알루미늄 또는 알루미늄 합금 중, 2 at%의 Nd를 포함하는 Al-Nd 합금의 표적을 이용하여 상부막(202)을 스퍼터링(sputtering)을 통하여 차례로 적층한 후, 제1 마스크를 이용한 사진 식각 공정으로 기판(110) 위에 게이트선(121), 게이트 패드(125), 게이트 전극(123) 및 유지 전극(131)을 포함하는 게이트 배선을 테이퍼 구조로 형성한다. 여기서도, 이후에 형성되는 IZO막과 하부막(201)이 충분히 접촉되도록 하부막(201)이 상부막(202)의 밖으로 나오도록 제1 실시예와 동일하게 패터닝한다.

<87> 다음, 도 13a 및 13b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(140), 반도체층(150), 중간층(1690)을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 2,000 Å, 1400 Å 내지 600 Å의 두께로 연속 증착하고, 이어 건식 식각이 가능하도록 500Å이하의 두께로 크롬의 하부막(701)을 적층하고 그 상부에 저저항을 가지는 알루미늄 또는 알루미늄 합금으로 이루어진 상부막(702)을 적층하여 도전체층(170)을 1,500 Å 내지 3,000 Å의 두께로 증착한 다음 그 위에 감광막(210)을 1 μm 내지 2 μm의 두께로 도포한다.

<88> 그 후, 제2 마스크를 통하여 감광막(210)에 빛을 조사한 후 현상하여 도 14b 및 14c에 도시한 바와 같이, 감광막 패턴(212, 214)을 형성한다. 이때, 감광막 패턴(112, 114) 중에서 박막 트랜지스터의 채널부(C), 즉 소스 전극(173)과 드레인 전극(175) 사이

에 위치한 제1 부분(214)은 데이터 배선부(A), 즉 데이터 배선(171, 177, 173, 175, 179)이 형성될 부분에 위치한 제2 부분(212)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거한다. 이 때, 채널부(C)에 남아 있는 감광막(214)의 두께와 데이터 배선부(A)에 남아 있는 감광막(212)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제1 부분(214)의 두께를 제2 부분(212)의 두께의 1/2 이하로 하는 것이 바람직하며, 예를 들면, 4,000 Å 이하인 것이 좋다.

<89> 이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, A 영역의 빛 투과량을 조절하기 위하여 주로 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 사용한다.

<90> 이때, 슬릿 사이에 위치한 패턴의 선 폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.

<91> 이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분에서는 고분자들이 완전히 분해되며, 슬릿 패턴이나 반투명막이 형성되어 있는 부분에서는 빛의 조사량이 적으므로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분에서는 고분자가 거의 분해되지 않는다. 이어 감광막을 현상하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 감광막이 남길 수 있다. 이때, 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.

- <92> 이러한 얇은 두께의 감광막(214)은 리플로우가 가능한 물질로 이루어진 감광막을 이용하고 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상적인 마스크로 노광한 다음 현상하고 리플로우시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부를 흘러내리도록 함으로써 형성할 수도 있다.
- <93> 이어, 감광막 패턴(214) 및 그 하부의 막들, 즉 도전체층(170), 중간층(160) 및 반도체층(150)에 대한 식각을 진행한다. 이때, 데이터 배선부(A)에는 데이터 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층만 남아 있어야 하며, 나머지 부분(B)에는 위의 3개 층(170, 160, 150)이 모두 제거되어 게이트 절연막(140)이 드러나야 한다.
- <94> 먼저, 도 15a 및 15b에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전체층(170)을 제1 실시예와 동일한 방법으로 상부막(701)은 습식 식각으로 식각하여 감광막 패턴(214, 212)의 하부에서 언더 컷이 발생하도록 패터닝하고, 하부막(702)은 비등방성 건식 식각으로 패터닝하여 하부막(701)의 가장자리 부분이 상부막(702) 밖으로 드러나도록 형성하고 그 하부의 중간층(50)을 노출시킨다. 이 과정에서 도전체층(170)은 식각되고 감광막 패턴(212, 214)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다.
- <95> 이렇게 하면, 도 15a 및 도 15b에 나타난 것처럼, 채널부(C) 및 데이터 배선부(B)의 도전체층, 즉 소스/드레인용 도전체 패턴(178)과 유지 축전기용 도전체 패턴(177)만이 남고 기타 부분(B)의 도전체층(170)은 모두 제거되어 그 하부의 중간층(160)이 드러난다. 이때 남은 도전체 패턴(178, 177)은 소스 및 드레인 전극(173, 175)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(171, 177, 173, 175, 179)의 형태와 동

일하다. 여기서, 건식 식각을 사용한 경우 감광막 패턴(212, 214)도 어느 정도의 두께로 식각된다.

<96> 이어, 도 16a 및 16b에 도시한 바와 같이, 기타 부분(B)의 노출된 중간층(160) 및 그 하부의 반도체층(150)을 감광막의 제1 부분(214)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(212, 214)과 중간층(160) 및 반도체층(150)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(140)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(212, 214)과 반도체층(150)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다.

<97> 여기서, 도전체층(170)의 하부막(701)과 그 하부의 중간층(160)과 반도체층(150)은 연속으로 건식 식각으로 패터닝함으로써 제조 공정을 단순화 할 수 있으며, 이 경우에 동일한 식각 챔버에서 건식 식각 공정을 실시하는 인 시튜(in-situ)로 행할 수도 있으며, 그렇지 않을 수도 있다.

<98> 또한, 상부막(702)을 습식 식각하고 하부막(701)을 습식 식각하여, 습식 식각을 두 번 연속으로 진행하는 경우에는 감광막 패턴(212, 214)이 들뜨게 되어 이후의 패터닝 공정을 정확하게 진행할 수 없었는데, 본 발명의 실시예에서와 같이 상부막(702)은 습식 식각으로 진행하고 하부막(701)은 건식 식각으로 진행함으로써 감광막이 들뜨는 것을 방지하여 이후의 패터닝 공정을 정확하게 진행할 수 있다.

<99> 이렇게 하면, 도 16a 및 16b에 나타낸 바와 같이, 채널부(C)의 제1 부분(114)이 제거되어 소스/드레인용 도전체 패턴(178)이 드러나고, 기타 부분(B)의 중간층(16) 및 반도체층(150)이 제거되어 그 하부의 게이트 절연막(140)이 드러난다. 한편, 데이터 배선부(A)의 제2 부분(212) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체층

패턴(152, 157)이 완성된다. 도면 부호 168과 167은 각각 소스/드레인용 도전체 패턴(178) 하부의 중간층 패턴과 유지 축전기용 도전체 패턴(177) 하부의 중간층 패턴을 가리킨다.

<100> 이어 애싱(ashing)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(178) 표면에 남아 있는 감광막 찌꺼기를 제거한다.

<101> 다음, 도 17a 및 17b에 도시한 바와 같이 채널부(C)의 소스/드레인용 도전체 패턴(178) 및 그 하부의 소스/드레인용 중간층 패턴(168)을 식각하여 제거한다. 이때에는 앞서와 달리 소스/드레인용 도전체 패턴(178)의 상부막(702) 및 하부막(701) 모두 습식 식각으로 패터닝하고, 소스/드레인용 중간층 패턴(168)은 건식 식각으로 패터닝한다. 이때의 식각은 게이트 절연막(140)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(212)이 식각되어 그 하부의 데이터 배선(171, 177, 173, 175, 179)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.

<102> 이렇게 하면, 소스 전극(173)과 드레인 전극(175)이 분리되면서 데이터 배선(171, 177, 173, 175, 179)과 그 하부의 접촉층 패턴(163, 165, 167)이 완성된다.

<103> 이때, 제2 부분(212)의 제거는 앞서 설명한 바와 같이 습식 식각을 연속으로 진행하는 경우에 감광막이 들뜰 수 있기 때문에 채널부(C) 소스/드레인용 도전체 패턴(178) 중에서 상부막(702)을 습식 식각으로 제거한 후 하부막(701)을 제거하기 전에 이루어지는 것이 바람직하다. 여기서, 하부막(701)을 건식 식각으로 진행하는 경우에는 하부막(701) 건식 식각시 그 밑의 중간층 패턴(168) 상부에 잔류물이 남아 박막 트랜지스터의 특성이 저하시키는 것을 방지하기 위해 하부막(701)을 습식 식각으로 제거한다.

<104> 이와 같이 하여 데이터 배선(171, 177, 173, 175, 179)을 형성한 후, 도 18a 및 18b에 도시한 바와 같이 질화 규소를 CVD 방법으로 250~1500℃ 범위에서 증착하거나 평탄화 특성이 우수한 아크릴계의 유기 절연 물질을 도포하거나 a-Si:C:O 막 또는 a-Si:O:F 막 등을 포함하는 저유전율 절연 물질을 PECVD 방법으로 적층하여 보호막(180)을 형성한다. 이어, 제3 마스크를 이용하여 보호막(180)을 게이트 절연막(140)과 함께 식각하여 드레인 전극(175), 게이트 패드(125), 데이터 패드(179) 및 유지 축전기용 도전체 패턴(177)의 하부막(201, 701)을 각각 드러내는 접촉 구멍(185, 187, 189, 182)을 형성한다. 이때에도, 제1 실시예와 동일하게 접촉 구멍(185, 187, 189, 182)에서 드레인 전극(175), 게이트 패드(125), 데이터 패드(179) 및 유지 축전기용 도전체 패턴(177)의 하부막(201, 701) 일부가 드러나도록 형성한다. 이는 앞의 제1 실시예에서 설명한 바와 같이 접촉부에서 낮은 접촉 저항을 가지는 접촉 면적을 극대화하고 구동 집적 회로와의 접촉 저항을 최소화하기 위함이다.

<105> 마지막으로, 도 9 내지 도 11에 도시한 바와 같이, 제1 실시예와 같은 방법으로 1500 Å 내지 500 Å 두께의 IZO층을 스퍼터링 방법으로 증착하고 제4 마스크를 사용하는 사진 식각 공정으로 패터닝하여 드레인 전극(175) 및 유지 축전기용 도전체 패턴(177)과 연결된 화소 전극(190), 게이트 패드(125)와 연결된 보조 게이트 패드(92) 및 데이터 패드(179)와 연결된 보조 데이터 패드(97)를 형성한다. IZO를 패터닝하기 위한 식각액은 크롬(Cr)의 금속막을 식각하는데 사용하는 크롬 식각액을 사용하는데, 이는 알루미늄을 부식시키지 않아 데이터 배선 또는 게이트 배선이 부식되는 것을 방지할 수 있으며, 식각액으로 (HNO<sub>3</sub>/(NH<sub>4</sub>)<sub>2</sub>Ce(NO<sub>3</sub>)<sub>6</sub>/H<sub>2</sub>O) 등을 들 수 있다.

<106> 이러한 본 발명의 제2 실시예에서는 제1 실시예에 따른 효과뿐만 아니라 데이터 배선(171, 177, 173, 175, 179)과 그 하부의 접촉층 패턴(163, 165, 167) 및 반도체층패턴(152, 157)을 하나의 마스크를 이용하여 형성하고 이 과정에서 소스 전극(173)과 드레인 전극(175)이 분리하여 제조 공정을 단순화할 수 있다.

**【발명의 효과】**

<107> 이와 같이, 본 발명에 따르면 배선을 IZO막과 접촉 저항이 낮은 도전막을 드러나도록 하여 낮은 접촉 저항을 가지는 접촉부를 확보함으로써 접촉부의 신뢰성을 확보할 수 있다. 또한, 저저항의 알루미늄 또는 알루미늄 합금을 포함하는 도전막을 포함하는 배선을 형성함으로써 대화면 고정세의 제품의 특성을 향상시킬 수 있다. 또한, 4매 마스크의 제조 공정에서 배선용 도전막과 반도체층을 건식 식각으로 패터닝함으로써 제조 공정을 단순화할 수 있다.



**【특허청구범위】****【청구항 1】**

기판 상부에 형성되어 있으며, 건식 식각이 가능한 도전 물질로 이루어진 하부막과  
상기 하부막의 상부에 형성되어 있으며 알루미늄 또는 알루미늄 합금으로 이루어져 있  
으며 경계선이 상기 하부막 상부에 위치하는 상부막을 포함하는 배선,

상기 배선을 드러내는 경계선 일부는 상기 배선의 경계선 밖에 위치하는 접촉 구  
멍을 가지는 절연막,

상기 절연막에 상부에 IZO로 형성되어 있으며, 상기 접촉 구멍을 통하여 상기 배선  
의 상기 하부막과 접촉하고 있는 도전층

을 포함하는 배선의 접촉부.

**【청구항 2】**

제1항에서,

상기 하부막은 크롬으로 이루어진 배선의 접촉부.

**【청구항 3】**

절연 기판 위에 형성되어 있는 게이트선, 상기 게이트선과 연결되어 있는 게이트  
전극을 포함하는 게이트 배선,

상기 게이트 배선을 덮는 게이트 절연막,

상기 게이트 절연막 상부에 형성되어 있는 반도체층,

상기 반도체층 또는 게이트 절연막 상부에 형성되어 있으며, 상기 게이트선과 교차하는 데이터선, 상기 데이터선과 연결되어 있는 소스 전극, 상기 소스 전극과 분리되어 마주하는 드레인 전극을 포함하는 데이터 배선,

상기 데이터 배선 및 반도체층을 덮고 있는 보호막,

상기 보호막 상부에 IZO로 형성되어 있으며, 상기 보호막의 접촉 구멍을 통하여 상기 게이트 배선 또는 상기 데이터 배선과 연결되어 있는 도전층

을 포함하는 박막 트랜지스터 어레이 기판에 있어서,

상기 게이트 배선 또는 상기 데이터 배선은 건식 식각이 가능한 도전 물질로 이루어진 하부막과 상기 하부막의 상부에 형성되어 있으며 알루미늄 또는 알루미늄 합금으로 이루어져 있으며 경계선이 상기 하부막 상부에 위치하는 상부막을 포함하며, 상기 도전층은 적어도 상기 접촉 구멍을 통하여 상기 상부막 밖으로 드러난 상기 하부막과 접촉되어 있는 박막 트랜지스터 어레이 기판.

#### 【청구항 4】

제3항에서,

상기 하부막은 크롬으로 이루어져 있는 박막 트랜지스터 어레이 기판.

#### 【청구항 5】

제4항에서,

상기 하부막의 두께는 500Å 이하의 두께를 가지는 박막 트랜지스터 어레이 기판.

**【청구항 6】**

제4항에서,

상기 게이트 배선은 외부로부터 주사 신호를 전달받아 상기 게이트선으로 전달하는 게이트 패드를 포함하며,

상기 데이터 배선은 외부로부터 영상 신호를 전달받아 상기 데이터선으로 전달하는 데이터 패드를 포함하며,

상기 접촉 구멍은 상기 드레인 전극, 상기 게이트 패드 또는 상기 데이터 패드를 드러내는 제1 내지 제3 접촉 구멍을 포함하며,

상기 도전층은 상기 제1 내지 제3 접촉 구멍을 통하여 상기 드레인 전극, 상기 게이트 패드 또는 상기 데이터 패드와 각각 연결되는 화소 전극, 보조 게이트 패드 또는 보조 데이터 패드를 포함하는 박막 트랜지스터 어레이 기판.

**【청구항 7】**

제3항에서,

상기 소스 및 드레인 전극 사이의 채널부를 제외한 상기 반도체층은 상기 데이터 배선은 동일한 모양으로 형성되어 있는 박막 트랜지스터 어레이 기판.

**【청구항 8】**

절연 기판 위에 형성되어 있는 게이트선, 상기 게이트선과 연결되어 있는 게이트 전극, 상기 게이트선에 연결되어 있는 게이트 패드를 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 배선을 덮는 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 상부에 반도체층 패턴을 형성하는 단계,

상기 게이트선과 교차하여 세로 방향으로 뻗어 있는 데이터선, 상기 데이터선과 연결되어 있는 소스 전극, 상기 소스 전극과 분리되어 마주하는 드레인 전극 및 상기 데이터선에 연결되어 있는 데이터 패드를 포함하는 데이터 배선을 형성하는 단계,

상기 반도체층 패턴을 덮고 있으며 상기 게이트 배선 또는 상기 데이터 배선을 드러내는 접촉 구멍을 가지는 보호막을 형성하는 단계,

상기 보호막 상부에 IZO를 적층하고 패터닝하여 상기 접촉 구멍을 통하여 상기 게이트 배선 또는 상기 데이터 배선과 연결되어 있는 도전층을 형성하는 단계

를 포함하는 박막 트랜지스터 어레이 기판의 제조 방법에 있어서,

상기 게이트 배선 또는 상기 데이터 배선은 건식 식각이 가능한 도전 물질로 이루어진 하부막과 알루미늄 또는 알루미늄 합금으로 이루어진 상부막을 차례로 적층하고 패터닝하여 형성하는 박막 트랜지스터 어레이 기판의 제조 방법.

#### 【청구항 9】

제8항에서,

상기 게이트 배선 및 상기 데이터 배선 형성 단계는 감광막 패턴을 이용한 사진 식각 공정으로 이루어지며, 상기 상부막은 습식 식각으로 식각하고, 상기 하부막은 건식 식각으로 식각하는 박막 트랜지스터 어레이 기판의 제조 방법.

#### 【청구항 10】

제9항에서,

상기 하부막은 크롬으로 형성하는 박막 트랜지스터 어레이 기판의 제조 방법.

**【청구항 11】**

제10항에서,

상기 하부막의 두께는 500Å 이하로 형성하는 박막 트랜지스터 어레이 기판의 제조 방법.

**【청구항 12】**

제8항에서,

상기 반도체층 패턴과 상기 데이터 배선 사이에 접촉층 패턴을 형성하는 단계를 더 포함하는 박막 트랜지스터 어레이 기판의 제조 방법.

**【청구항 13】**

제12항에서,

상기 데이터 배선과 상기 반도체층 패턴은 하나의 감광막 패턴을 이용한 사진 식각 공정을 통하여 이루어지며, 상기 감광막 패턴은 상기 소스 전극 및 드레인 전극 사이의 채널부에 위치하며 제1 두께를 가지는 제1 부분과 상기 제1 두께보다 두꺼운 두께를 가지는 제2 부분 및 상기 제1 부분보다 얇은 두께를 가지는 제3 부분을 포함하는 박막 트랜지스터 기판의 제조 방법.

**【청구항 14】**

제13항에서,

상기 감광막 패턴은 하나의 마스크를 사용하여 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

**【청구항 15】**

제14항에서,

상기 게이트 절연막, 상기 반도체층 패턴, 상기 접촉층 패턴 및 상기 데이터 배선의 형성 단계는,

상기 게이트 절연막, 반도체층, 접촉층 및 상기 하부막과 상기 상부막을 차례로 적층하는 단계,

상기 상부막의 상부에 감광막을 도포하는 단계,

상기 감광막을 상기 마스크를 통하여 노광하는 단계,

상기 감광막을 현상하여 상기 제2 부분이 상기 데이터 배선의 상부에 위치하도록 상기 감광막 패턴을 형성하는 단계,

상기 제3 부분 아래의 상기 상부막 및 상기 하부막과 그 하부의 접촉층 및 반도체층, 상기 제1 부분과 그 아래의 상기 상부막 및 상기 하부막과 상기 접촉층, 그리고 상기 제2 부분의 일부 두께를 식각하여 상기 하부막 및 상기 상부막, 상기 접촉층, 상기 반도체층으로 각각 이루어진 상기 데이터 배선, 상기 접촉층 패턴, 상기 반도체층패턴을 형성하는 단계,

상기 감광막 패턴을 제거하는 단계

를 포함하는 박막 트랜지스터 기관의 제조 방법.

**【청구항 16】**

제15항에서,

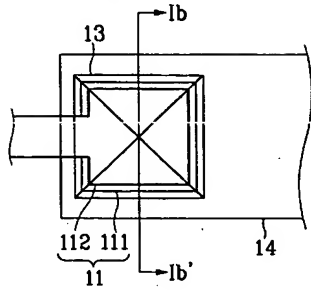
상기 데이터 배선, 상기 접촉층 패턴, 상기 반도체층패턴의 형성 단계는,  
 상기 제3 부분 아래의 상기 상부막을 습식 식각하는 단계,  
 상기 하부막을 건식 식각하여 상기 접촉층을 노출시키는 단계,  
 상기 제3 부분 아래의 접촉층 및 그 아래의 상기 반도체층을 상기 제1 부분과 함께  
 건식 식각하여 상기 제3 부분 아래의 상기 게이트 절연막과 상기 제1 부분 아래의 상기  
 상부막을 드러내고 상기 반도체층으로 이루어진 상기 반도체층 패턴을 완성하는 단계,  
 상기 제1 부분 아래의 상기 상부막 및 상기 하부막을 습식 식각하여 상기 데이터  
 배선을 완성하는 단계,  
 상기 제1 부분 아래의 상기 접촉층을 식각하여 상기 접촉층 패턴을 완성하는 단계  
 를 포함하는 박막 트랜지스터 기판의 제조 방법.

#### 【청구항 17】

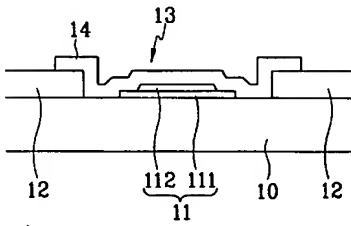
제16항에서,  
 상기 상부막을 식각하는 단계와 상기 하부막을 식각하는 단계 사이에 상기 제2 부  
 분을 제거하는 박막 트랜지스터 어레이 기판의 제조 방법.

【도면】

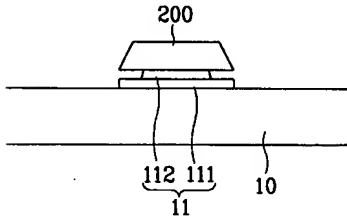
【도 1a】



【도 1b】

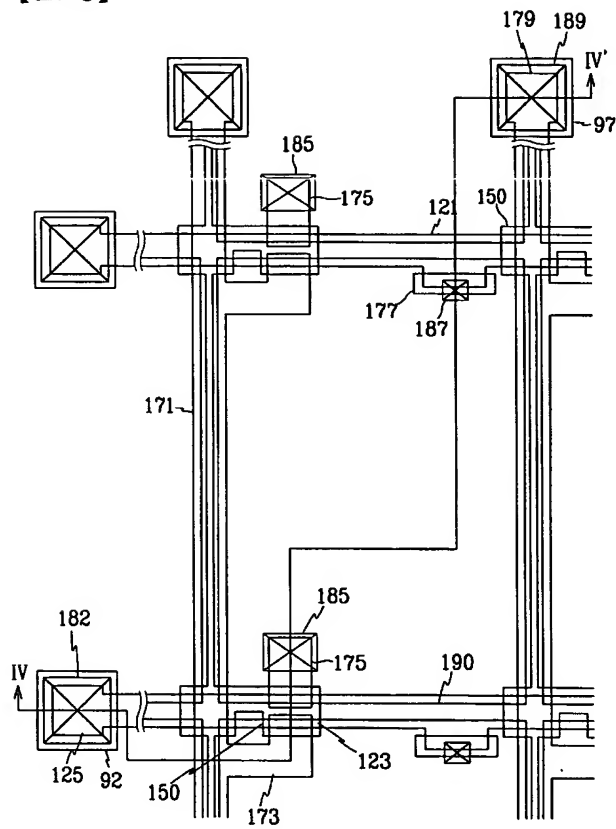


【도 2】

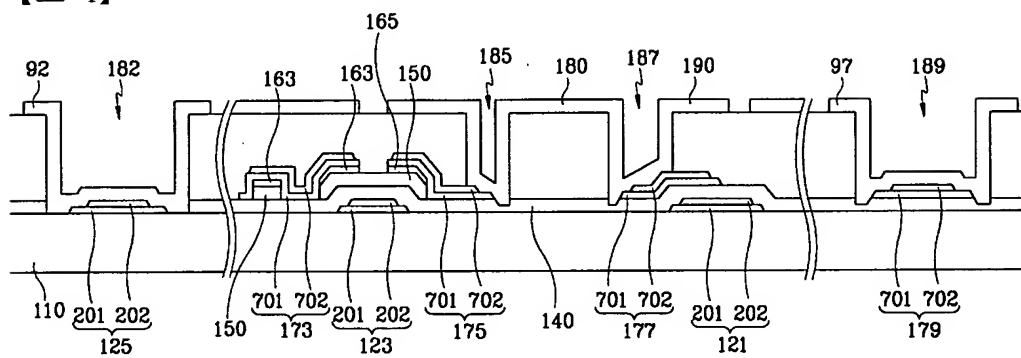




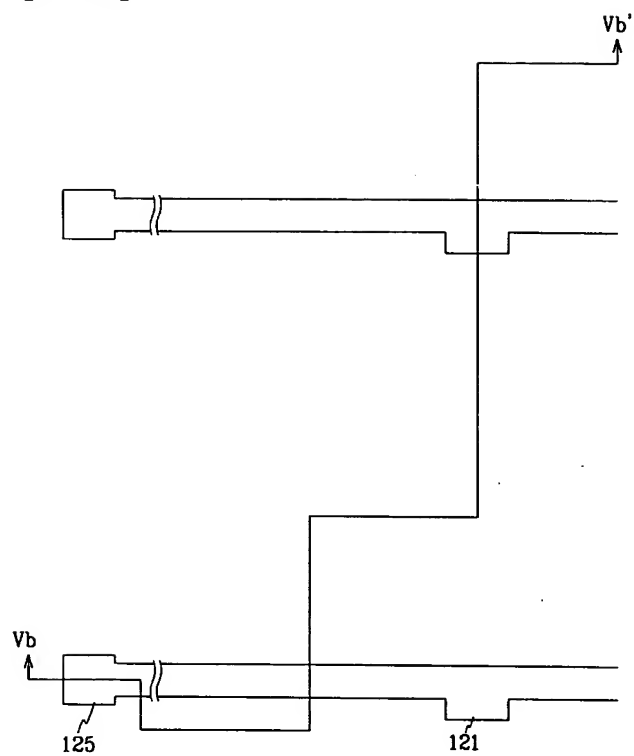
【도 3】



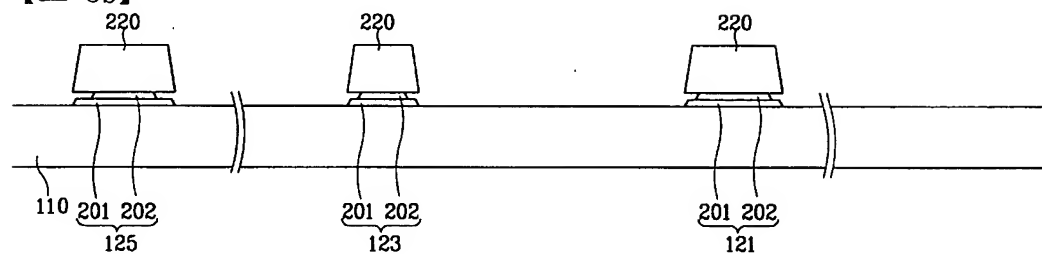
【도 4】



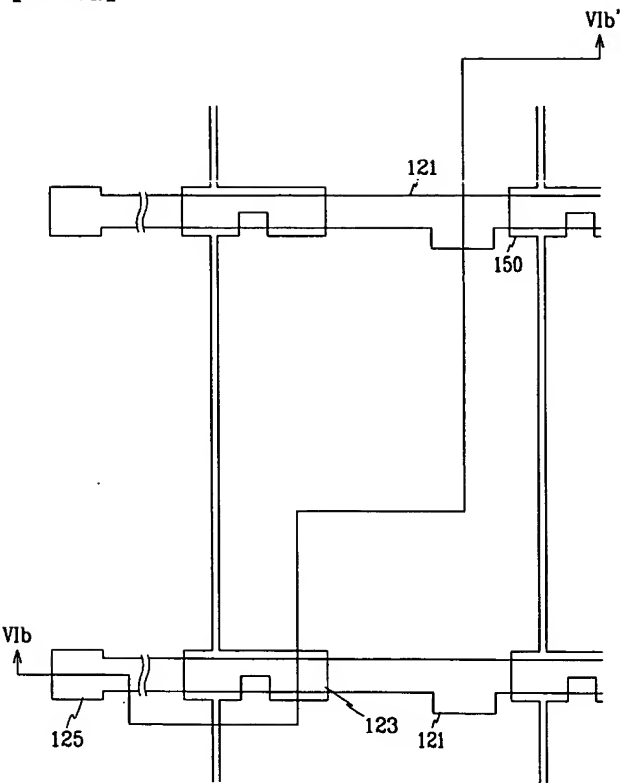
【도 5a】



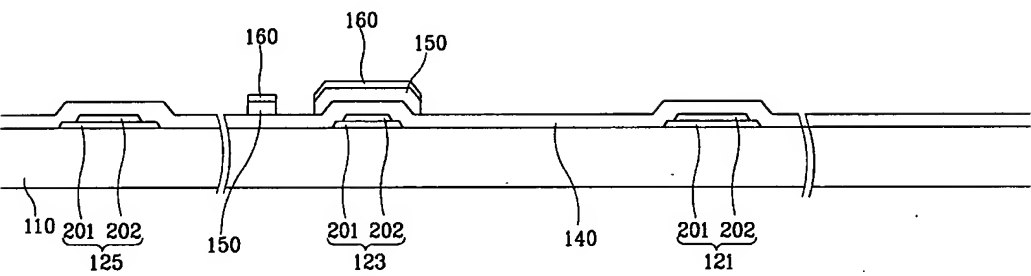
【도 5b】



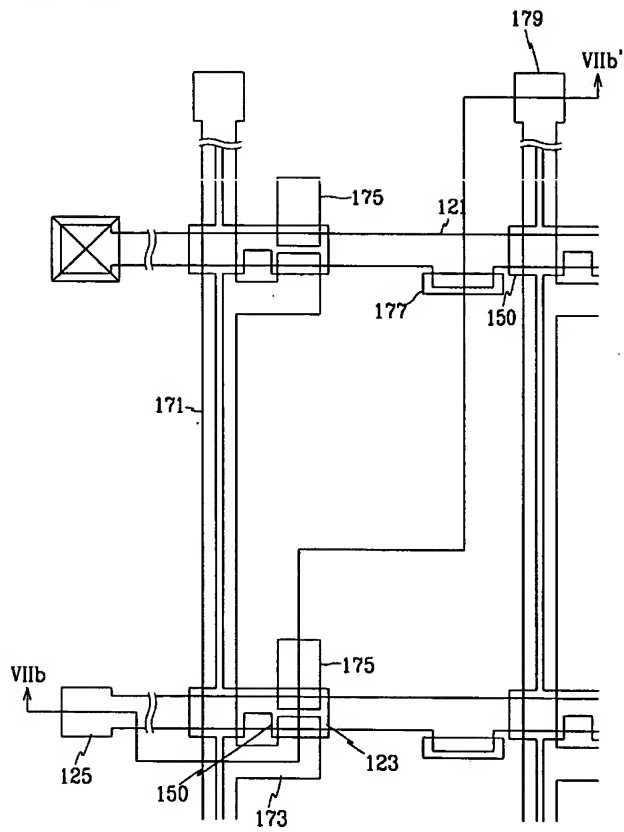
【도 6a】



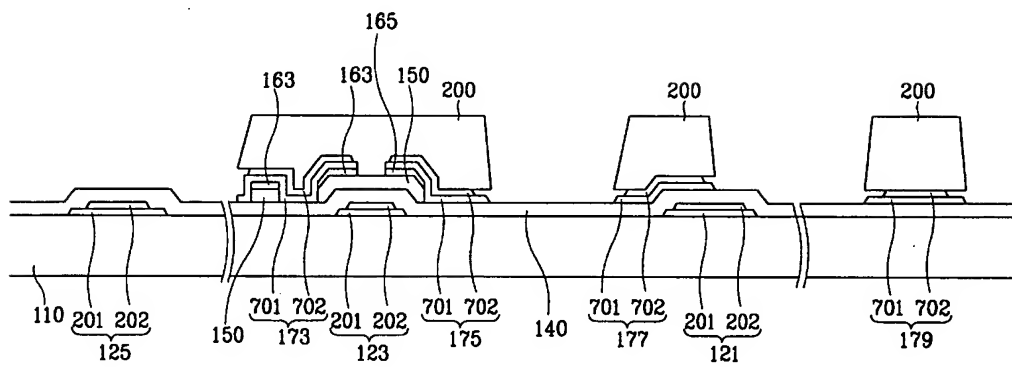
【도 6b】



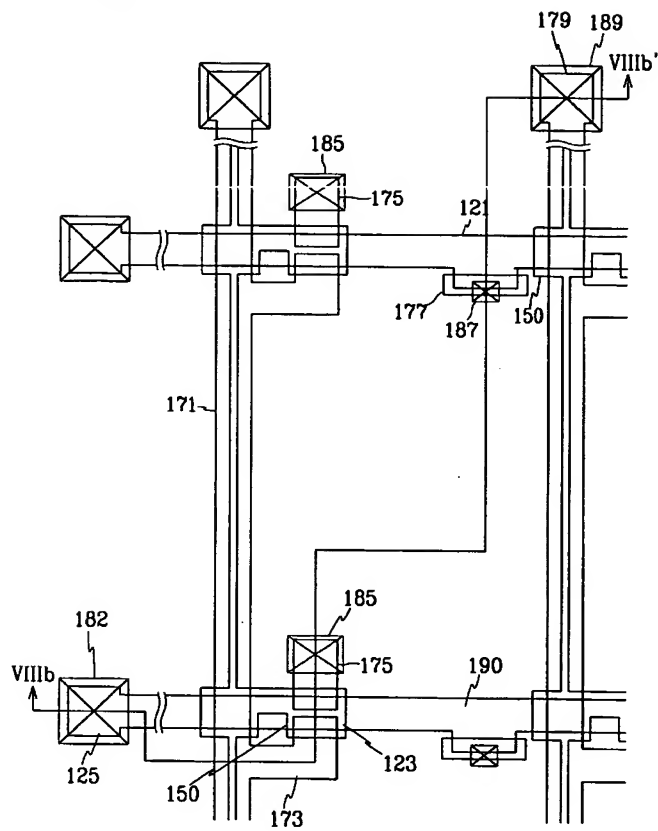
【도 7a】



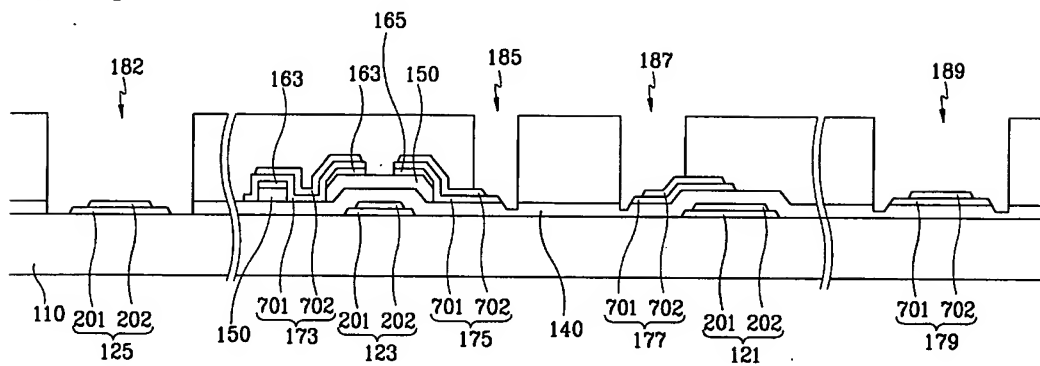
【도 7b】



【도 8a】

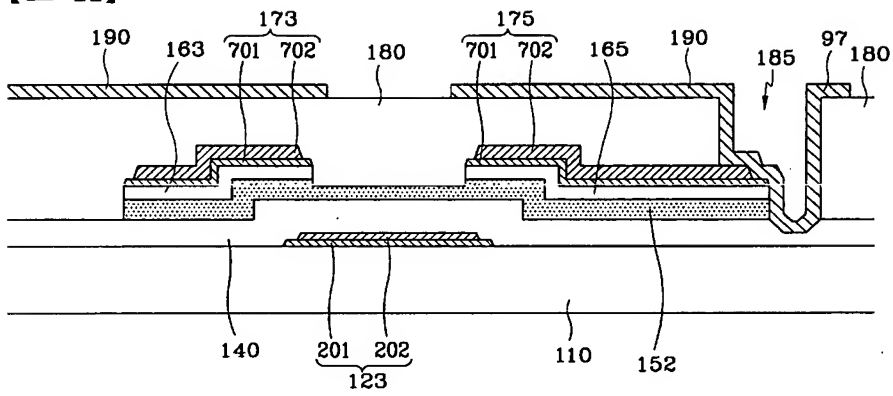


【도 8b】

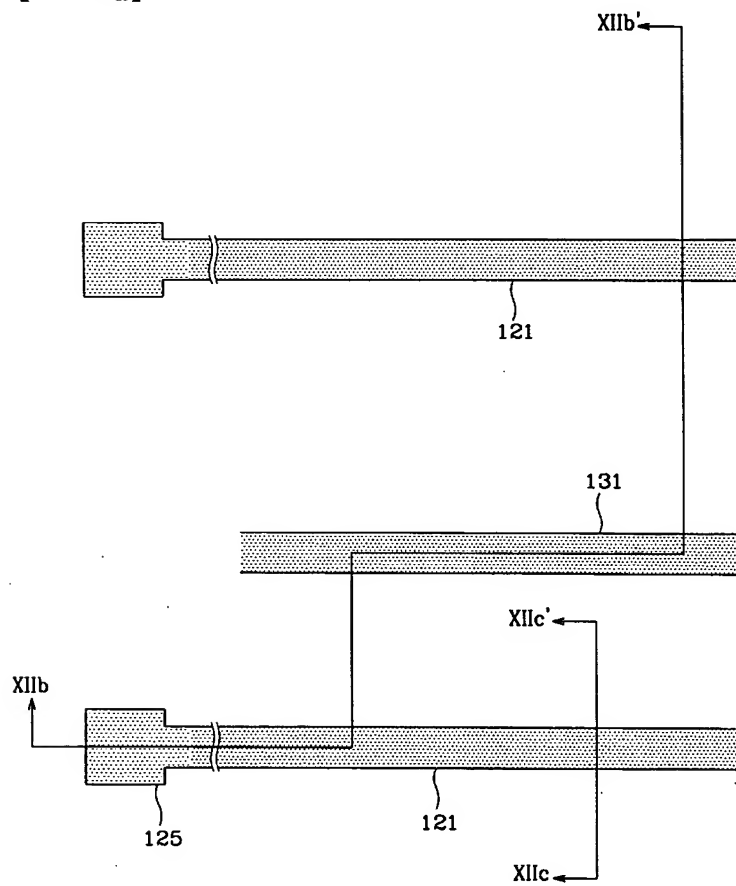




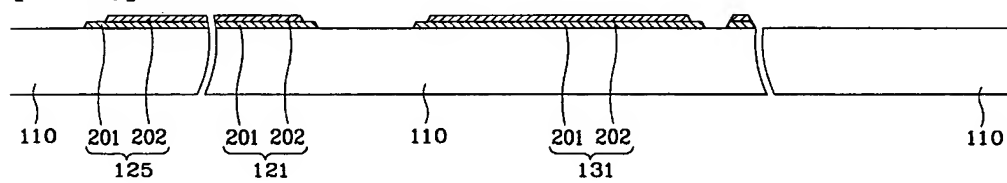
【도 11】



【도 12a】



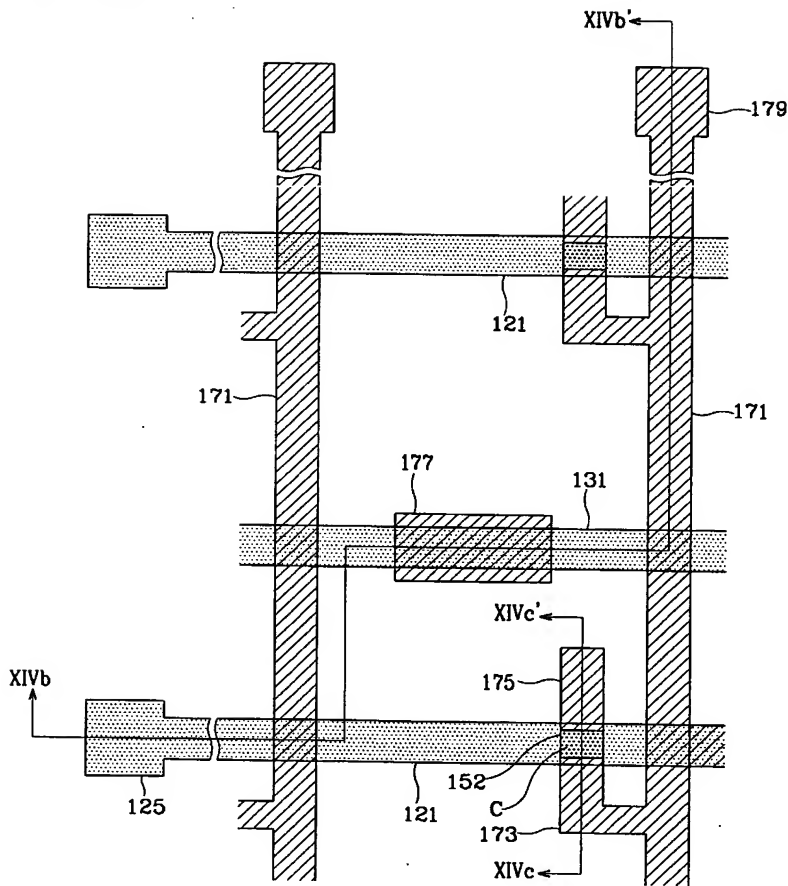
【도 12b】



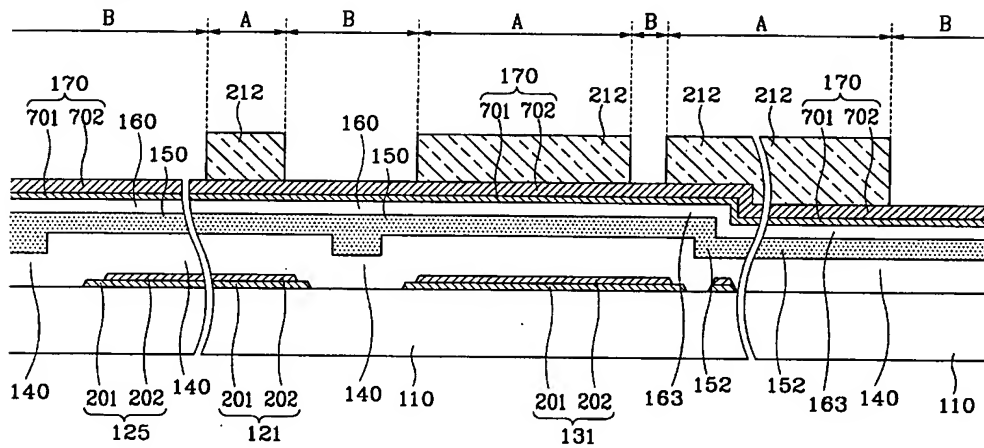




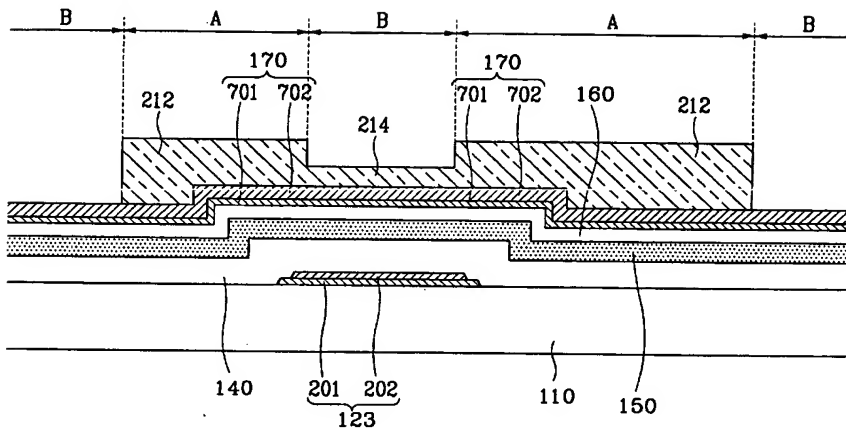
【도 14a】



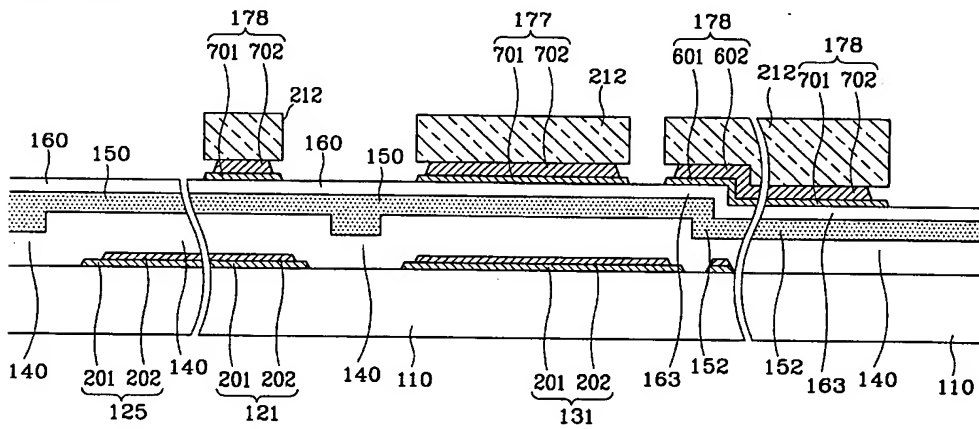
【도 14b】



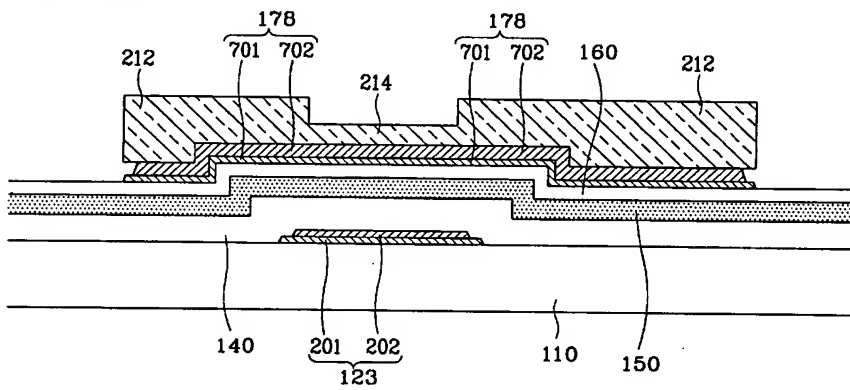
【도 14c】



【도 15a】



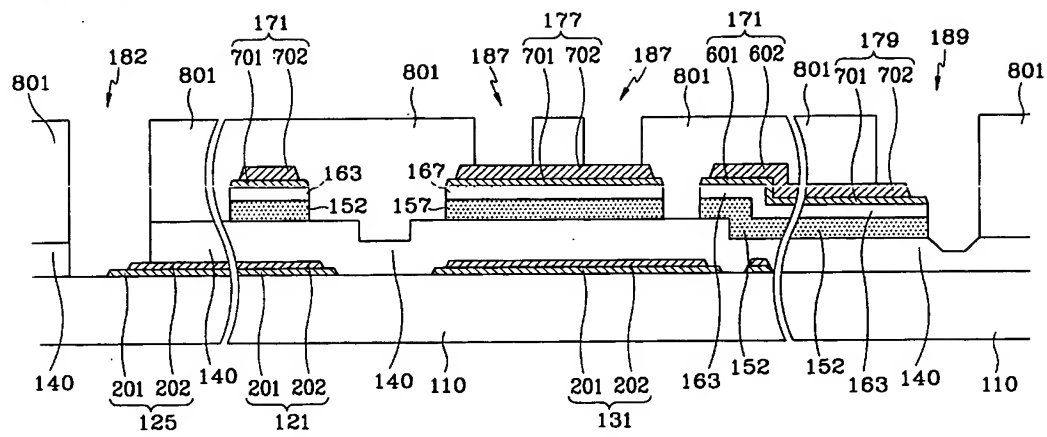
【도 15b】





This cross-sectional view shows a semiconductor device with two gate structures. The substrate 110 is at the base. A layer 140 is on top of the substrate. Two gate structures are formed on the substrate. The left gate structure has a gate stack 173 (comprising layers 701 and 702) and a gate electrode 163. The right gate structure has a gate stack 175 (comprising layers 701 and 702) and a gate electrode 165. A layer 212 is on top of the gate electrodes. A layer 152 is on top of the substrate. A layer 123 (comprising layers 201 and 202) is on top of the substrate. A layer 110 is on top of the substrate.

【도 18b】



【도 18c】

